

A Study of Semiconductor Devices for High Performance and Low Power LSI.

著者	朴 文基
号	50
学位授与番号	3635
URL	http://hdl.handle.net/10097/37303

氏 名	ばく むんぎ 朴 文基
授 与 学 位	博士 (工学)
学 位 授 与 年 月 日	平成 18 年 3 月 24 日
学位授与の根拠法規	学位規則第 4 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) バイオロボティクス専攻
学 位 論 文 題 目	A Study of Semiconductor Devices for High Performance and Low Power LSI. (高性能, 低電力 LSI 用半導体素子に関する研究)
指 導 教 員	東北大学教授 小柳 光正
論 文 審 査 委 員	主査 東北大学教授 小柳 光正 東北大学教授 三浦 英生 東北大学教授 寒川 誠二 東北大学教授 河野 省三 東北大学助教授 田中 徹

論 文 内 容 要 旨

Scaling down the device size has been the primary driving force to improve the integrated circuit performance and to reduce the cost, which has led to the rapid growth of the semiconductor industry. However the device scaling has faced several physical limitations. Therefore, because of solution of such a problem, development of new structure and new material is strongly demanded

To overcome these problems, we proposed and demonstrated a new strained GOI (germanium-on-insulator) MISFET. This device with high- k dielectric film, nickel-germanide on source/drain region, metal gate electrode was fabricated on GOI layer obtained by the new graded Ge condensation method as a channel material.

From the structural point of view, we adopted the thin active layer-on-insulator structure which has been recognized as a promising device structure for low power applications, because of the steep subthreshold slope and low junction capacitance. On the other hand, since germanium as channel material has attracted a tremendous attention due to the high carriers' mobility compared to silicon for high performance logic, especially it becomes increasingly difficult to enhance silicon CMOS (complementary-metal-oxide-semiconductor) device performance through traditional device scaling, the use of germanium can be obtained enhancement of electrical characteristics of devices. Therefore, the application of key technologies has a merit as follows, decrease of gate leakage current by high- k dielectric film, decrease of source/drain contact resistance by nickel-germanide formation, and decrease of gate resistance by metal gate electrode.

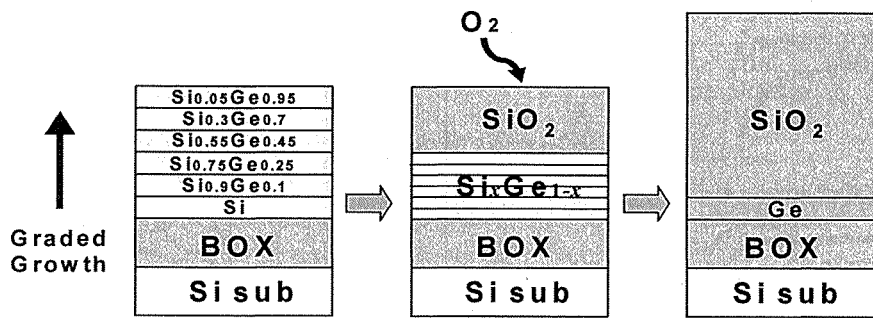
In this thesis, using the combination of these technologies, we demonstrated for the first time a small size GOI MISFET with nickel germanide source/drain, thin high- k dielectric and metal gate electrode which is fabricated by a

new graded Ge condensation method.

We described the component engineering in three viewpoints by this research. The first is germanium as a channel material, second is W/W_2N as a gate electrode material and third is HfO_2 as a dielectric material. The effects by Ni-germanide for reduction of source/drain resistance and back-bias were examined in addition.

Proposal of New Graded Germanium Condensation Method for GOI Formation

- We proposed new graded Ge condensation method for GOI formation.



- It is expected that mismatch and the interface defect by the lattice constant difference can be decreased. Moreover, stable graded Ge-rich SiGe layer can be obtained compared to other methods of growing up with a fixed gas ratio by the increase in the amount of germanium in accordance with a change of gas ratio.
- It was confirmed that GOI layer was obtained by oxidizing SiGe layer with new graded Ge condensation method which is epitaxially grown on SOI substrate.
- RMS values of AFM image for surface roughness before and after oxidation are 3.80nm and 0.84nm, respectively. In these result, surface roughness characteristics are dramatically improved by dry oxidation.
- Only germanium atom was observed by the XRD analysis, RBS spectrum, Raman spectrum and SIMS measurements after Ge condensation.
- It is found that SiGe is replaced by Ge after oxidation.

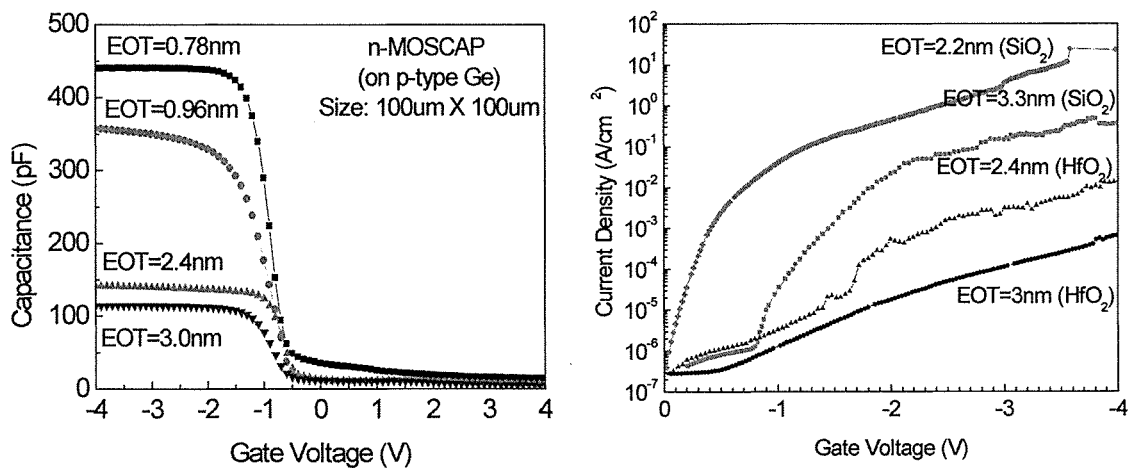
W/W₂N Metal Gate Electrode for GOI MISFET

- The W/W₂N film was examined as gate electrode of transistor.
- W₂N film was deposited changing N₂ flow rate with the mixed whole gas and substrate heating temperature.
- W/W₂N stack gate MOS capacitors were fabricated in the optimized condition for W₂N barrier material.

- We found that $C-V$ curve of MOS capacitor has a steep slope near threshold voltage, and gives no difference in the flat band voltage between W gate electrode and W/W₂N stack gate electrode.

High- k Gate Dielectric for GOI MISFET

- Very thin HfO₂ (EOT: $\sim 0.78\text{nm}$) with excellent properties was obtained.
- We obtained low leakage current in HfO₂, even if it compared with the result of SiO₂.



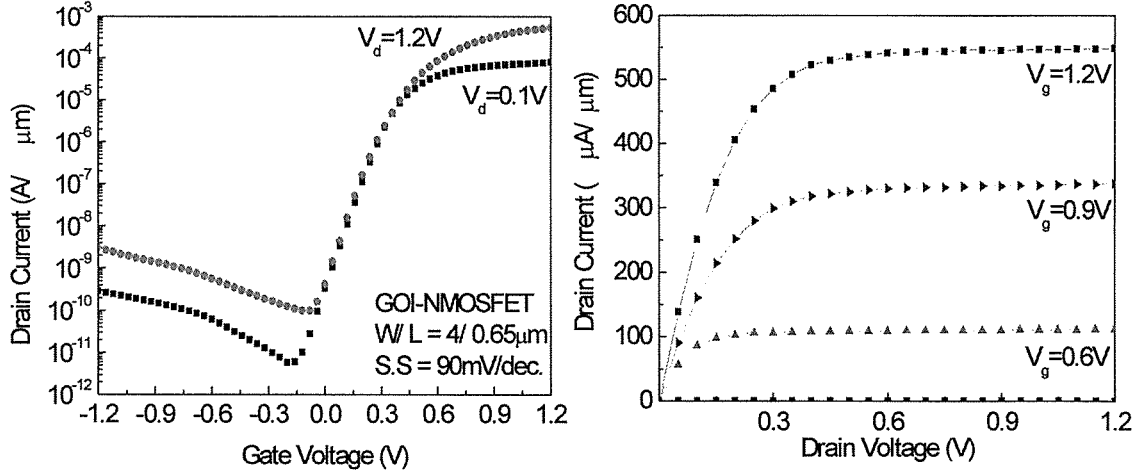
Application of Nickel Germanide to Source/Drain

- We formed Ni-germanide on GOI layer using multi-step annealing method.
- We examined new Ni-germanide formation technique using multi-step annealing method.
- We obtained low sheet resistance in NiGe layer formed at 500°C by using multi-step annealing method.
- We confirmed that multi-step annealing method is suitable for Ni-germanide formation to fabricate GOI MISFETs with low source/drain resistance.

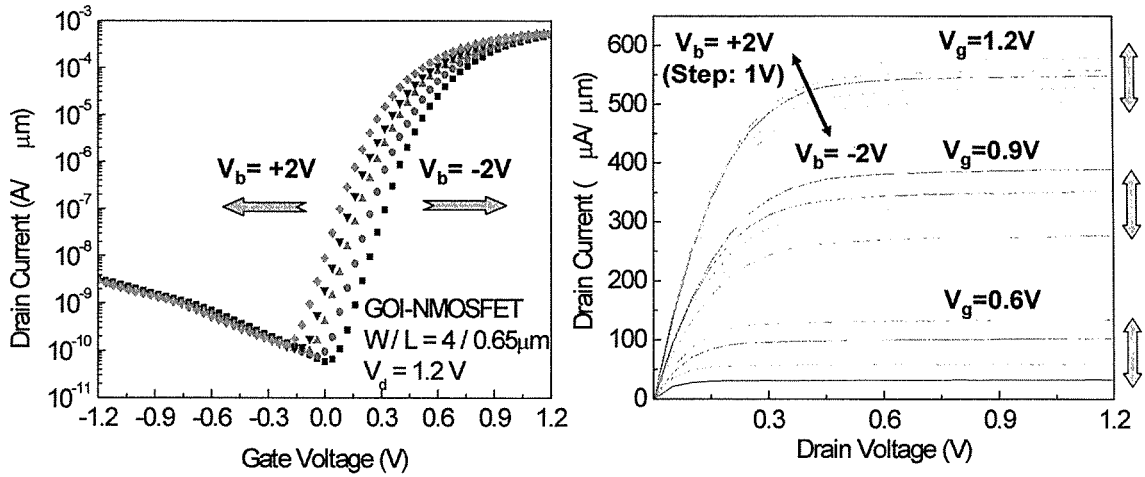
Fabrication and Evaluation of GOI MISFET

- We have presented the advantages of GOI MISFETs with Ni-germanide and W/W₂N/HfO₂ stack gate on GOI substrate obtained by the new graded Ge condensation method.
- In addition, we fabricated world's smallest planar type GOI MISFET with the gate length of 0.65μm.
- GOI MISFETs showed the electrical characteristics, higher mobility and transconductance enhancement over compared to both the SOI MISFET and reference devices.
- Operational GOI MISFET with gate length down to 0.65μm was fabricated. Moreover, a very low leakage current

below 1nA was achieved. The on-current of $549\mu\text{A}/\mu\text{m}$ at $V_d=V_g=1.2\text{V}$ shows evidence of a high quality channel surface.



- We evaluated the electrical characteristics dependence on effect of back-bias.
- With back-bias from -2V to 2V, the range of adjustable threshold voltage was from 0.18V to 0.29V with a channel length of $0.65\mu\text{m}$, a channel length of $2.3\mu\text{m}$ was from 0.22V to 0.30V, and a channel length of $7.8\mu\text{m}$ was from 0.245V to 0.31V, respectively.
- By back-bias, the threshold voltage, subthreshold swing, on-current, and cut-off current were shifted, and it was able to adjust.



We presented the advantages and the current status of strain GOI MISFETs ($\text{EOT} \sim 0.78\text{nm}$), which were fabricated with GOI substrate obtained by the new Ge condensation method, and used $\text{W}/\text{W}_2\text{N}/\text{HfO}_2$ stack gate by such good result, and it had a very excellent characteristics compared with SOI MISFETs. Therefore, it is strongly expected that MISFETs based on Ge can provide new device option to sub-50nm regime CMOS technology with high performance and low power consumption, and the realization of next generation MOS device.

論文審査結果の要旨

微細加工技術の進歩により、半導体素子の性能は飛躍的に改善された。しかし、シリコンを使った半導体素子では、素子寸法が 50 nm 以下にまで微細化されると、素子の微細化に見合うようには LSI の性能が向上しなくなることが危惧されている。また、LSI の性能向上の鈍化と相まって、LSI の大規模化に伴う消費電力の増大も大きな問題となる。そのため、将来の微細半導体素子用材料として、シリコンよりも大きなキャリア移動度と小さなエネルギーバンドギャップをもつゲルマニウムが注目されている。本論文はゲルマニウムを用いた新しい微細トランジスタを実現するための手法を明らかにしたもので、全編 8 章よりなる。

第 1 章は緒論であり、本研究の背景と目的を述べている。

第 2 章では、シリコン半導体素子を微細化した場合の問題点について考察している。その中で、シリコン MOS (Metal-Oxide-Semiconductor) トランジスタではゲート寸法を 50 nm 以下にまで微細化しても、短チャネル効果や寄生抵抗効果により、それに見合うようには駆動電流が増えないこと、また低消費電力化に欠かせない低電圧駆動が難しくなることを指摘している。これは有用な知見である。

第 3 章では、集積回路用素子としてシリコン半導体素子の代わりにゲルマニウム半導体素子を用いることの優位性について言及するとともに、シリコン酸化膜上にゲルマニウム単結晶薄膜を形成する新しい手法を提案している。

SOI (Silicon-on-Insulator) 膜上に単結晶成長させた SiGe 薄膜を酸化することによって Ge を濃縮し、単結晶成長させるという新しい手法を開発することにより、良質の結晶性を有するゲルマニウム単結晶 (GOI: Germanium-on-Insulator) 薄膜の形成に成功している。これらは学術的にも、実用的にも極めて有用な成果である。

第 4 章では、ゲルマニウム・トランジスタ実現のための主要技術の一つであるメタルゲート技術について検討している。メタルゲート電極材料としてタングステンを採用し、タングステンゲート電極とゲート絶縁膜の間に窒化タングステンを挿入することにより、ゲート絶縁膜中へのタングステン原子の拡散を抑制して高い信頼性を有するメタルゲート電極を形成できることを明らかにしている。これは重要な成果である。

第 5 章では、ゲルマニウム・トランジスタ実現のための主要技術の一つである高誘電率ゲート絶縁膜形成技術について検討している。高誘電率ゲート絶縁膜材料としてハフニウム酸化物を採用し、形成条件を最適化することによって良好な特性を有する極薄膜ゲート絶縁膜を形成できることを明らかにしている。これは重要な成果である。

第 6 章では、ゲルマニウム・トランジスタ 実現のための主要技術の一つであるニッケルゲルマニウム化合物自己整合形成技術について検討している。ニッケルとゲルマニウムを反応させるための熱処理方法に、マルチステップ急速アニール法という新しい手法を採用することにより、低抵抗で耐熱性の高いニッケルゲルマニウム化合物をゲルマニウム露出部分に選択的に形成できることを明らかにしている。これは極めて重要な成果である。

第 7 章では、本研究を通して確立した主要技術を駆使して、実際にゲルマニウム・トランジスタを試作し、ゲート長 $0.65\mu\text{m}$ の微細 GOI MISFET (Germanium-on-Insulator Metal Insulator Semiconductor Field Effect Transistor) で世界最高のオン電流を実現できたことを明らかにしている。これは極めて重要な成果である。

第 8 章は結論である。

以上要するに本論文は、新しいゲルマニウム単結晶薄膜形成技術、メタルゲート技術、高誘電率ゲート絶縁膜形成技術、ニッケルゲルマニウム化合物自己整合形成技術を駆使して、高性能で低消費電力の微細ゲルマニウム・トランジスタ (GOI MISFET) の実現可能性を明らかにしたもので、半導体工学およびバイオロボティクスの発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。